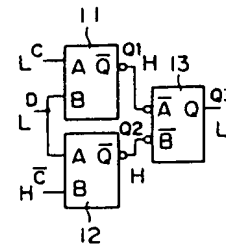


(54) SEQUENTIAL LOGICAL CIRCUIT

(11) 4-196811 (A) (43) 16.7.1992 (19) JP
 (21) Appl. No. 2-327078 (22) 28.11.1990
 (71) FUJITSU LTD (72) MOTOMU TAKATSU
 (51) Int. Cl.⁵ H03K3/02

PURPOSE: To constitute this circuit with a few active elements, and to enable a high speed operation by outputting the state of a data signal at the time of the change of a clock signal.

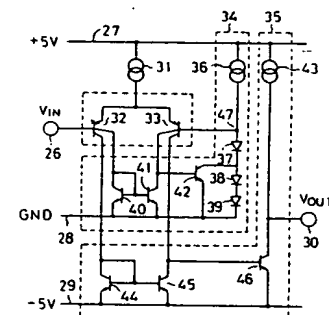
CONSTITUTION: When a clock signal C is changed into a low level in a state in which a data signal D is in the low level, the two input signals of a holding circuit 11 are turned into the low levels, so that the output signal Q1 can be turned into a high level. When a holding circuit 12 outputs an output signal Q2 in the high level while holding the previous state, the two input signals of a holding circuit 13 are turned into the high levels, so that the output signal Q3 can be turned into the low level, and the data signal D at the time of the rising of the clock signal C can be outputted. Then, even when the data signal D is changed into the high level, the output signal Q3 is not changed in the state in which the clock signal C is not changed and left in the low level. Thus, this circuit can be constituted of a few active elements, and the high speed operation can be attained.

**(54) LEVEL CONVERTER**

(11) 4-196812 (A) (43) 16.7.1992 (19) JP
 (21) Appl. No. 2-327537 (22) 28.11.1990
 (71) FUJITSU LTD(1) (72) YOSHIMASA MITSUYA(1)
 (51) Int. Cl.⁵ H03K3/023, G01R19/165, H03K5/02

PURPOSE: To simplify a circuit constitution, to decrease the number of necessary elements, and to mount this device also on a master slice type LSI in which the number of the usable elements is limited by using one collector of a pair of multicollector transistors in order to control a circuit which switches the level of the output.

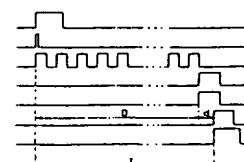
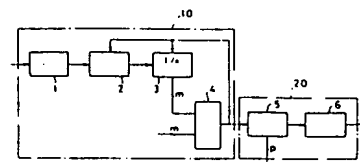
CONSTITUTION: A pair of multicollector transistors 32 and 33 constituted of two collectors, are used as differential transistors, and one collector of a pair of these transistors 32 and 33 is used in order to constitute a circuit which obtains a hysteresis characteristic, combined with a circuit 34 which sets a reference voltage on the hysteresis characteristic. Then, the other collector of a pair of these transistors 32 and 33 is used in order to control a circuit 35 which switches the level of the output signal. Thus, the circuit constitution can be simplified, the number of the elements can be reduced, and this device can also be mounted on the master slice type LSI in which the usable number of the elements is limited.

**(54) DELAY CIRCUIT**

(11) 4-196813 (A) (43) 16.7.1992 (19) JP
 (21) Appl. No. 2-326534 (22) 28.11.1990
 (71) ASIA ELECTRON INC (72) FUSAO YAMAGUCHI
 (51) Int. Cl.⁵ H03K5/135

PURPOSE: To obtain a large delay amount with a high resolution by preparing a coarse delay amount which decides the main frame of the desired delay amount based on an input signal, and preparing residual fine delay amounts by a conventional delay equipment.

CONSTITUTION: When the input signal is inputted to a coarse delay part 10, an arbitrary oscillator 2 starts the oscillation by a prescribed frequency, and the oscillate output is inputted to a 1/n frequency divider 3, and divided into a prescribed value. The divided signal is compared with a set value by a comparator 4, and when the divided signal is equal to the set value, a coarse delay output is outputted from the comparator 4. The timing in which this coarse delay output is outputted is turned into the delay amount D of the main frame of the desired delay amount. The coarse delay output is inputted to a fine delay part 20, a fine delay (d) set in the fine delay part 20 is added to the coarse delay output, and a signal having a final delay amount T is outputted from this fine delay part 20. Thus, the large delay amount of the delay signal having the high resolution can be obtained.



1: waveform converter, 2: delay equipment, 3: waveform recovering equipment, 4: input pulse signal, 5: output, 6: set value

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-196813

⑬ Int. Cl.⁵
H 03 K 5/135

識別記号 庁内整理番号
7125-5 J

⑭ 公開 平成4年(1992)7月16日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 遅延回路

⑯ 特 願 平2-326534

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 山 口 房 夫 神奈川県横浜市緑区中山町500-1 アジアエレクトロニクス株式会社横浜事業所内

⑲ 出 願 人 アジアエレクトロニクス株式会社 東京都世田谷区用賀2丁目35番1号

⑳ 代 理 人 弁理士 油 井 透 外2名

明 細 書

1. 発明の名称

遅延回路

2. 特許請求の範囲

所望の遅延量に対する微調整が可能で高い分解能をもつ微調遅延部と、

所望の遅延量に対する粗調整が可能で低い分解能をもつ粗調遅延部とを備え、

この粗調遅延部を、入力信号により発振して上記微調遅延部の遅延量に応じた周期の出力を出す発振器と、この発振器の出力を所望の遅延量に応じた粗調遅延量が得られるように分周して分周出力を出す分周器と、この分周器の分周出力を粗調遅延量に対応させた設定値と比較して粗調遅延出力を出す比較器とから構成し、

上記粗調遅延部の粗調遅延出力に上記微調遅延部の微調遅延量を加えるようにしたことを特徴とする遅延回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はパルス信号を任意に遅延する遅延回路に係り、特に大きな遅延量を高い分解能を保持しながら簡易に実現することが可能な遅延回路に関する。

[従来の技術]

様々な分野で入力信号を遅延させる遅延回路が使われている。特に、パルス信号を任意に遅延させるパルス遅延回路にはプログラマブルディレイと呼ばれる遅延器が使われている。これは分解能となる非常に短い遅延時間を単位とし、この単位を刻みとして単位遅延時間からその数十倍のぐらいの遅延時間が任意かつ高い分解能で得られるようにしたものである。この種の遅延器は、通常コイルを主要素にしているため、IC等の電子部品に比して大型であり、回路基板に実装する場合比較的スペースをとり、しかも高価である。

例えば、現在では最大遅延量32nsを0.5ns刻みで64通り(6ビット構成)にプログラムできるものがあるが、1個で数100nsという大きな遅延を実現できるものはない。

このため、従来、例えば周期が500 ns程度で数十 ns のパルス幅をもつ入力信号を500 psの分解能で400 ns程度遅延させたい場合には、上記した最大遅延32 nsのプログラマブルディレイを13個直列接続して、その内の12個を最大遅延量で使用し、残り1個を微調用として使うというような方法がとられていた。

〔発明が解決しようとする課題〕

上述したように、現在のところ大きな遅延量を得られて高い分解能が得られる遅延回路は存在しない。このためプログラマブルディレイのような遅延器を複数個使った遅延方式を採用することになるが、この遅延方式を採用した場合には次のような欠点があった。

(1)大きな遅延量で高い分解能を得ようとする場合、高分解能を出す遅延器に頼らざるを得ないため、遅延量の全てを遅延器の直列接続により賄うことになるが、1個当りの得られる最大遅延量が小さいため多数の遅延器を必要し、大きなスペースをとり非常に高価となる。

高くはない粗調遅延部とを備える。微調遅延部は遅延量が可変のものが好ましいが、固定であってもよい。

この粗調遅延部は入力信号がトリガとなり、これが入ると発振して微調遅延部の遅延量に応じた周期の出力を出す発振器と、この発振器の出力を所望の遅延量に応じた粗調遅延量を得られるように分周して分周出力を出す分周器と、この分周器の分周出力を粗調遅延量に対応した設定値と比較して粗調遅延出力を出す比較器とから構成する。

分周器の分周値および比較器の設定値を変えることにより任意の遅延量を得られることになる。

そして、粗調遅延部の粗調遅延出力に微調遅延部の微調遅延量を加えるようにして大きな遅延量を高分解能で得るようにしている。

ここで、発振器から出力される微調遅延部の遅延量に応じた出力の周期は、微調遅延部が出すことができる最大遅延量に近い値をもつことが望ましい。最大遅延量よりも大きいと、所望の遅延量をカバーできなくなるおそれがあり、最大遅延量

(2)遅延量を減少する場合には、プログラムのビット信号を変更するだけで対処できるが、遅延量を増加する場合には遅延器の数をさらに増やさなければならない。

(3)高い分解能をもった任意の大きさの遅延量を容易に得ることが難しい。

本発明の目的は、所望する遅延量のうちの大枠を決める粗調遅延量を入力信号に基づいて形成し、残りの微調遅延量を既存の遅延器で形成することによって、上述した従来技術の欠点を解消して、簡単な構造でありながら、遅延量を任意かつ高分解能で得ることが可能な遅延回路を提供することにある。

〔課題を解決するための手段〕

本発明の遅延回路は、所望の遅延量の分解能を決定する微調遅延量を受けもち、遅延量は小さいが分解能の高い微調遅延部と、所望の遅延量のうち大枠の遅延量となる粗調遅延量を受けもち、遅延量は微調遅延部が出せる遅延量よりも大きな遅延量を設定することが可能で、分解能がそれほど

よりも小さいとより無用に高い分周を必要とすることになるからである。

また、発振器の出力を所望の遅延量に応じた粗調遅延量を得られるように分周するには、発振出力をカウントすればよい。

〔作用〕

入力信号が粗調遅延部に入ると、発振器が所定の周波数で発振を開始し、その発振出力は分周器に入って所定の値に分周される。分周信号は比較器により設定値と比較され、設定値と等しくなったとき比較器から粗調遅延出力が出される。この粗調遅延出力が出るタイミングが所望する遅延量の大枠の遅延量となる。粗調遅延出力は微調遅延部に入り、ここで設定された微調遅延を加えられこれより最終的な遅延量をもった信号が出力される。最終的に加えられる微調遅延は高分解能をもっているため、遅延信号は大きな遅延量で高い分解能をもつことになる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明の遅延回路の実施例を示し、遅延回路は所望する遅延量の大まかな遅延量を得る粗調遅延部10と、所望する遅延量を正確に調整する微調遅延部20とからなる。

粗調遅延部10は波形変換器1、任意発振器2、分周器3、比較器4から構成される。

波形変換器1は入力パルス信号を微分することにより入力信号のパルス幅を狭めて次段の任意発振器2を確実にトリガ可能にするトリガ出力を出す。直接トリガ可能であれば波形変換器1は省略してもよい。入力パルス信号は繰返し波形でも単発波形でもよい。

任意発振器2は波形変換器1からのトリガ出力により発振する。発振周波数は任意に設定可能で、ここでは後述する遅延器5の最大遅延量に等しい周期に設定される。任意発振器2は具体的にはディレイラインを用いた発振器またはモノステーブルマルチバイブレータで構成することができるが、比較的高い遅延精度が要求される場合には、より高精度で安定なディレイラインを用いた発振器の

方が好ましい。

分周器3は任意発振器2の発振出力を $1/n$ に分周して m ビットの分周出力を出す。カウンタで構成することができ、例えば4ビット構成とすれば最大 $1/16$ に分周できる。ビット構成や分周値を変更することにより遅延量の調整ができる。

比較器4は分周器3の m ビット分周出力と m ビット設定値とを比較して一致したとき比較出力を出す。設定値は m ビットの範囲で所望する遅延量に近い粗調遅延量に設定される。この値を変えることにより、分周される範囲内で任意に遅延量を変更できる。粗調遅延量とは遅延器5の最大遅延量の整数倍で、所望する遅延量を越えない最大の値である。所望する遅延量の大枠を示しているのて粗調の名を付けてある。

また、微調遅延部20は遅延器5、波形修復器6から構成される。

遅延器5は微調遅延量を加えて比較器4からの粗調遅延出力をさらに遅延させる。微調遅延量とは遅延器5が出すことができる遅延範囲内の遅延

量であって、所望する遅延量を得るために粗調遅延量に付加する遅延量のことである。遅延器5は既述したように、単位遅延時間からその数十倍の遅延時間を任意に出力することができ、高い分解能が得られるプログラマブルディレイが使われる。即ち p ビットの信号の組合せで任意に遅延量を設定できる。ここでは、所望する遅延量から粗調遅延量を引いた残りの遅延量となるようにプログラムされる。

波形修復器6は遅延器5から出力される遅延出力を元の入力パルス信号と同じパルス幅に戻して最終遅延出力を出す。なお、この波形修復器6は必要に応じて設ける。

さて、上記のような構成における回路の動作を第2図を用いて説明する。

入力パルス信号(第2図(a))が粗調遅延部10に入ると、波形変換器1で微分されトリガ出力に変換される(第2図(b))。トリガ出力により予め設定した所定の周期で任意発振器2が発振を開始し(第2図(c))、その発振出力は分周器3に入っ

て所定の値に分周される(第2図(d))。分周信号は比較器4で設定値と比較され、設定値と等しくなったとき比較器4から粗調遅延出力が出される(第2図(e))。この粗調遅延出力が出るタイミングが所望する遅延量の大枠の遅延量 D となる。粗調遅延出力は微調遅延部20に入り、ここで設定された微調遅延 d を加えられ(第2図(f))、波形修復器6で修復されて最終的な遅延量 T をもった信号が出力される(第2図(g))。最終的に加えられる微調遅延は高分解能をもっているのて、遅延信号は大きな遅延量で高い分解能をもつことになる。

なお、比較器4の粗調遅延出力が出ると、これを停止信号として任意発振器2および分周器3に加えて発振および分周を停止する。回路をリセットして誤動作を防止するためである。

このようにして、入力信号を比較器のビット数分だけ最大遅延させることができる。また、分周器の分周値および比較器の設定値を調整するだけで任意の遅延量が得られるため設計変更が容易で

ある。なお、回路固有の遅延量は予め分かるので、それを考慮した遅延設計をすることにより回路遅延の影響をなくすることができる。

次に、パルス幅50nsの入力信号を400ns遅延させる場合の具体例を述べる。遅延器5として既述の分解能0.5nsで最大遅延量32nsのプログラマブルディレイを用いる。任意発振器2の発振周期は遅延器5の最大遅延量と同じ32nsに設定し、分周器3の分周値は4ビット構成の1/16に、比較器4は4ビット構成でその設定値は12とする。また、プログラマブルディレイの遅延値を16ns(0.5ns×32)に設定する。これにより、

所望遅延量=粗調遅延量384ns

+微調遅延量16ns=400ns

が得られる。即ち500ps分解能で400nsという大きな遅延を得ることができる。

以上のように本発明による遅延回路を用いれば、大きな遅延量を高分解能で実現する場合、直列接続した遅延器を多数必要とする従来のものと異な

り、スペースをとる遅延器は僅か1個で済むため構造の簡素化を格段に高めることが可能となる。また、遅延量を任意に調整できることから汎用性を持たせることも可能で、その場合、粗調遅延部と微調遅延部とをハイブリッド化し1個の遅延回路として提供することができる。特に任意発振器をモノステーブルマルチバイブレータで構成するときは粗調遅延部をIC化できるので、小型化、低価格化に極めて有効である。また、100μs、1000μsという大きな値で遅らしても常に0.5nsという高い分解能が得られる。分周器および比較器のビット数ないし設定値を変えることで、理論的には無限の遅延が可能である。

なお、本発明は繰返し波形のみならず、単発波形も任意にかつ大幅に遅延させることができる。また、実施例では遅延器を後段にもってきているが、遅延器は前段にもってきてよい。特にカラーテレビ用LSI等を測定するリニアテストにあっては、タイミングパルスを作るために大きな遅延を要求するので、その測定回路に本発明を適用

すればメリット大である。

〔発明の効果〕

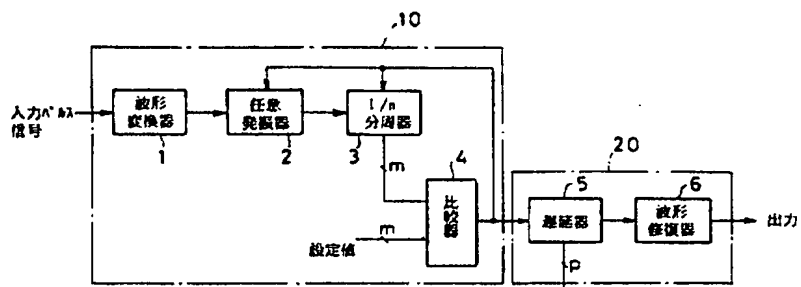
本発明によれば、所望する遅延量のうちの大枠を決める粗調遅延量を入力信号に基づいて形成し、残りの微調遅延量を既存の遅延器で形成するようにしたので、簡単な構造でありながら、大きな遅延量を任意かつ高分解能で得ることができる。

4. 図面の簡単な説明

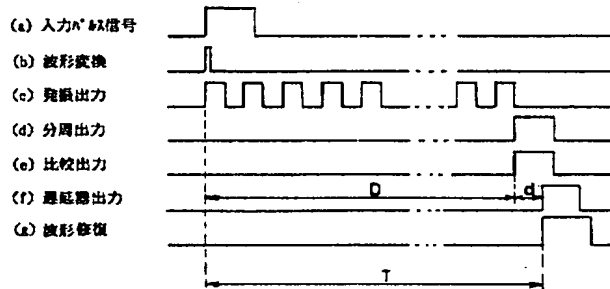
第1図は本発明の遅延回路の実施例を示すブロック図、第2図は第1図に示すブロック図のタイミング波形図である。

2…任意発振器、3…分周器、4…比較器、5…遅延器、10…粗調遅延部、20…微調遅延部。

出願人 アジアエレクトロニクス株式会社



本実施例による遅延回路
第 1 図



本実施例によるタイミング図
第 2 図